

**METHOD AND DEVICE FOR MEASURING FLOW RATE OF GRANULE**

Patent Number: JP58151517  
Publication date: 1983-09-08  
Inventor(s): MIYAHARA SHIYUNJI; others: 02  
Applicant(s): SUMITOMO KINZOKU KOGYO KK  
Requested Patent: ☐ JP58151517  
Application Number: JP19820035546 19820305  
Priority Number(s):  
IPC Classification: G01F1/74; G01F1/86  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To obtain a flow rate measuring method of a granule particle body, having high measuring accuracy, by combining a measuring method using a solid-gas 2 phase flow meter of Venturi type, with a measuring method utilizing the resonance of a microwave.

**CONSTITUTION:** A microwave outputted from a voltage control oscillator 34 is transmitted to an electric conductor 23 through an attenuator 35, a coaxial electric conductor 27 and a connector 25, causes a resonance phenomenon in specified frequency, is transmitted to a detector 41 by a coaxial electric conductor 28 through a connector 26 from an electric conductor 24, and resonance frequency is detected. An output of the detector 41 is converted to a signal showing density DELTAc of a pulverized coal flow by a linearizer 47. Difference pressure DELTAP generated by a Venturi tube 7 is measured by a difference pressure measuring circuit 8, operation by the difference pressure DELTAP and the density DELTAc is excited by an operator 5 a flow velocity Vc is derived, and operation is executed by an operator 6, by which a flow rate of pulverized coal is derived.

Data supplied from the esp@cenet database - I2

## MANUFACTURE OF SEMICONDUCTOR CRYSTALLINE FILM

INVENTOR: TOSHIO YOSHII  
ASSIGNEE: TOSHIBA KK  
APPL NO: 58-151517  
DATE FILED: Aug. 22, 1983  
PATENT ABSTRACTS OF JAPAN  
ABS GRP NO: E328  
ABS VOL NO: Vol. 9, No. 169  
ABS PUB DATE: Jul. 13, 1985  
INT-CL: H01L 21/20; H01L 21/263; H01L 29/78

## ABSTRACT:

PURPOSE: To obtain a semiconductor thin film having excellent crystallizability by irradiating an insulating film with an electron beam to recrystallize a semiconductor film after making thicker the thickness of the insulating film on the region with center at an element forming portion than that in the surrounding region.

CONSTITUTION: An  $\text{SiO}_2$  film 12 is formed on 001 single crystal Si substrate 11. Next, after a polycrystalline Si film 13 and an  $\text{SiO}_2$  film 14 are sequentially cladded on the  $\text{SiO}_2$  film 12, the  $\text{SiO}_2$  film 14 is formed so as to provide an insular convex portion 15. When the  $\text{SiO}_2$  film 14 is annealed by scanning a CW electron beam, a single crystal containing few defects is obtained under the convex portion 15 of the  $\text{SiO}_2$  film. A polycrystalline silicon gate electrode 18 is formed via a gate oxide film 17 in the region of the single crystal and impurities are doped to form a source 16 and a drain 19, thereby producing an N-channel transistor.

PTO: 2002-4161

Japanese Published Unexamined Patent Application (A) No. 60-043814, published March 8, 1985; Application Filing No. 58-151517, filed August 22, 1983; Inventor(s): Toshio Yoshii; Assignee: Toshiba Corporation; Japanese Title: Method to Manufacture Semiconductor Crystalline Films

---

## **METHOD TO MANUFACTURE SEMICONDUCTOR CRYSTALLINE FILMS**

### **CLAIM(S)**

A method to manufacture a semiconductor crystalline thin film, comprising a step of depositing a semiconductor film on an insulated substrate and a step of depositing an insulating film on said semiconductor film; said method being characterized in that said insulating film other than the region of the prescribed region is partially or entirely removed and electron beam is radiated from above the substrate.

### **DETAILED DESCRIPTION OF THE INVENTION**

#### **(Field of Industrial Application)**

The present invention pertains to a method to manufacture a semiconductor crystalline thin film on an insulated substrate by a beam annealing method.

#### **(Problems of the Prior Art to Be Addressed)**

A semiconductor thin film on an insulated substrate is noted for having advantages as is found in a silicon-on-supphire (SOS) relative to a bulk semiconductor. More specifically, when it is dielectrically cut or separated into

islands, the element separation can be secured easily (1). The floatation capacity can be minimized by reducing a p-n junction dimension.

An SOS is expensive for its use of a single crystalline sapphire, so there is a method that uses a melted crystalline sheet, amorphous  $\text{SiO}_2$  formed by oxidizing an Si substrate, or amorphous  $\text{SiO}_2$  deposited on the Si, amorphous  $\text{SiO}_2$  film deposited on Si, or an amorphous SiN film on which a semiconductor film is deposited. These  $\text{SiO}_2$  or SiN is not a single crystalline film, so a polycrystalline film grows on it. The grain size of this polycrystalline film is nearly a few hundreds Å, so its carrier mobility is only 1/20 - 90 of an MOS transistor on the bulk Si even if the MOS transistor is formed on this. Recently, there has been attempted a method wherein crystalline grains are made larger by reducing the laser or electron beam to smaller dots, linearly scanning on a semiconductor thin film, and by solidifying it. By this method, the crystal grain with a few  $\mu\text{m}$ , which is 100 times larger than the prior art one is obtained, and therefore a device made on it is also improved in characteristics.

The device made by this method, however, comes with the following problems.

For a small dimension MOS transistor with channel length 6  $\mu\text{m}$  and channel width 12  $\mu\text{m}$ , the carrier mobility was measured. It was found that there are some with nearly 400  $\text{cm}^2/\text{v}$  per second, while some elements had only some tens  $\text{cm}^2/\text{v}$  per second, and some elements had a residual leak current between the source and

drain. By analyzing the causes, the following problems were found. Since the energy of laser beam or electron beam is distributed in Gauss distribution, the film is melted and solidified from the edge to the center when the beam is scanned. Therefore, the crystalline grains grow from the edge of the beam toward the center. In this case, the crystalline grain size grows to a certain extent, but the single crystals cannot be formed enough to form a region for the element. And, the presence of a crystalline boundary caused poor element characteristics and non-uniformity.

**(Objective)**

The present invention was produced to solve the aforementioned problems, and attempts to present a method to produce a semiconductor thin film excellent in crystallinity by preventing the melting of the semiconductor thin film caused by electron beam radiation and the nuclear growth from the beam edge caused by the subsequent solidification.

**(Summarization)**

In the present invention, an insulating film is coated on the semiconductor film on the insulated substrate; the insulating film is removed partially or totally from the area other than the prescribed islands; the insulating film on the region for forming the element in the semiconductor film is made thicker than its surrounding region; and the semiconductor film is recrystallized by radiating the

electron beam.

**(Advantage)**

According to the present invention, when the electron beam is radiated, the energy applied to the islands covered with a thick insulating film is less than that applied to the area covered with a thin insulating film, so the solidification progresses faster after the melting than in the surrounding region. Accordingly, the crystalline growth progresses in such a manner that the crystalline grain boundary does not encroach from the islands covered with a thick insulating film toward the periphery. So, the element characteristics formed in the periphery are uniform and excellent.

**(Embodiment Example)**

An example of the embodiment of the present invention is explained below with reference to Fig. 1 (a) - (b). First, 1  $\mu\text{m}$   $\text{SiO}_2$  film is made to grow on a (001) single crystalline Si substrate 11 {Fig. 1 (a)}.

After depositing on this polycrystalline Si film 12 by a 0.6  $\mu\text{m}$  thickness and  $\text{SiO}_2$  film 13 by a 0.3  $\mu\text{m}$  thickness {Fig. 1 (b)} on this, the  $\text{SiO}_2$  film 13 is put to lithography to form bump 15 in island form. At this time, the  $\text{SiO}_2$  film other than the bump section is etched down to 0.1  $\mu\text{m}$  {Fig. 1 (c)}. On this test sample, CW electron beam is scanned with step width 10  $\mu\text{m}$  by reducing the beam diameter to 150  $\mu\text{m}$ , at accelerating energy 7 eV and beam current 2.5 mA for annealing. The

crystallinity of the Si film 13 after annealing was examined by transmission electron microscope. It was found that the single crystals underneath the bump section 15 of the SiO<sub>2</sub> film hardly have any defect. In this single crystalline region, the polycrystalline silicon gate electrode 18 was formed via a 600 Å gate oxide film 17, and the source 15 and the drain 19 were formed by doping impurities to make an n-channel transistor with channel length 4 μm and channel width 8 μm {Fig. 1 (d)}. When the effective carrier mobility was measured, it was 800 cm<sup>2</sup>/v per second, which was confirmed nearly equal to that in an instance when bulk Si was used. Also, the characteristics when the MOS transistor was formed in multiple similar regions were uniform. In the case when the element was present in the Si substrate, the device with excellent characteristics was likewise formed, so the method of the present invention was found to be good enough for manufacturing a laminated device.

In the aforementioned embodiment example, Si was used for the thin film, but Ge, or GaAs also may be used. It is obvious that the effect of the device is not undercut depending upon the materials of underlying substrate and of insulating film and the formation method. In addition, it goes without saying that the size and shape of the island of the insulating film bumps and the size and shape of the film are not limited to those mentioned above.

## **BRIEF DESCRIPTION OF THE DRAWINGS**

**Fig. 1 (a) - (d) show a sectional view of the embodiment example in the steps of formation.**

**11. Single crystalline Si substrate**

**12. SiO<sub>2</sub> film**

**13. Polycrystalline Si**

**14. SiO<sub>2</sub> film**

**15. Bump**

**16. Source**

**17. Gate oxide film**

**18. Gate electrode**

**19. Drain**

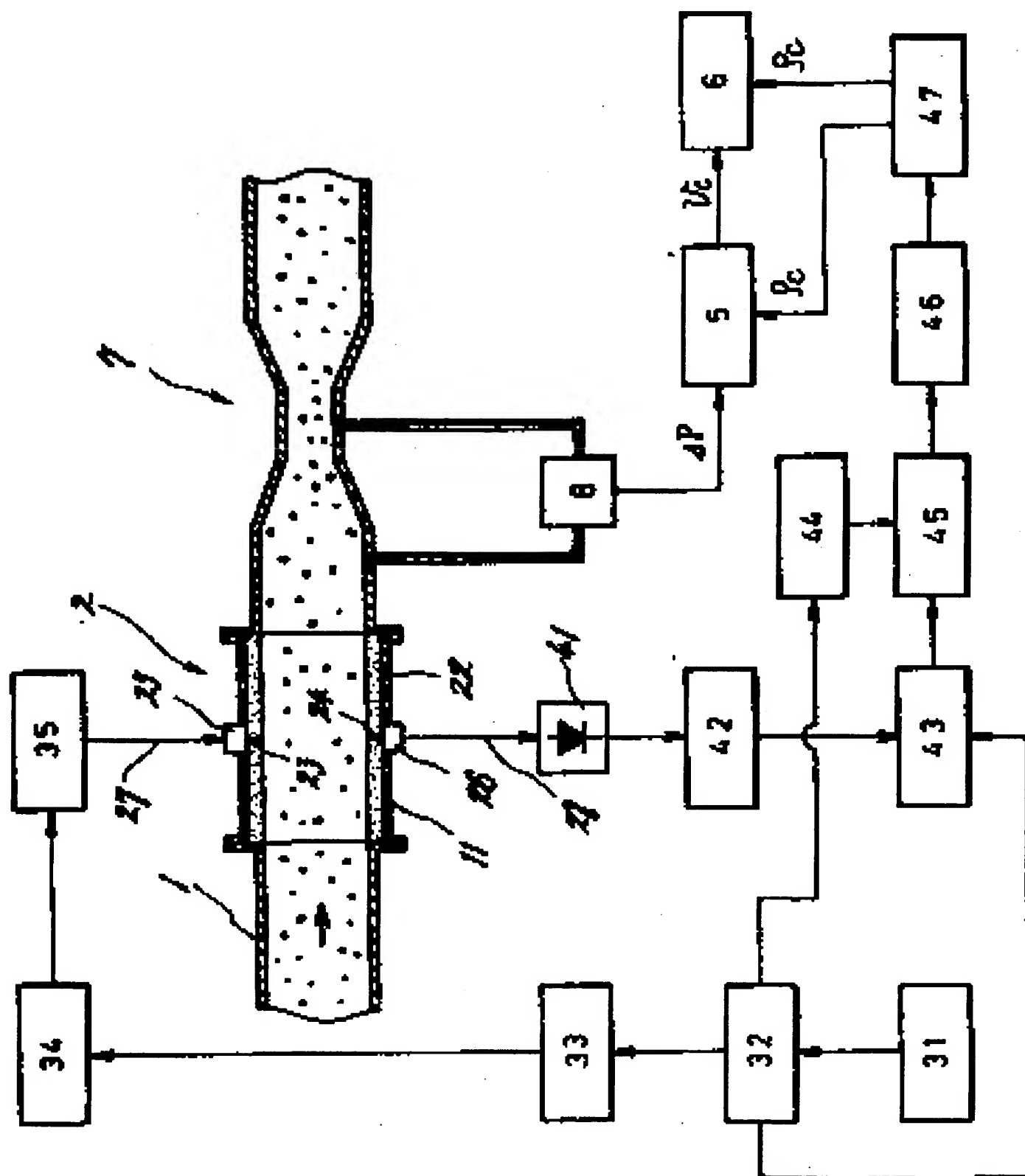
**Translations**

**U. S. Patent and Trademark Office**

**8/16/02**

**Akiko Smith**





⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—151517

⑬ Int. Cl.<sup>3</sup>  
G 01 F 1/74  
1/86

識別記号

庁内整理番号  
7507—2F  
7507—2F

⑭ 公開 昭和58年(1983)9月8日

発明の数 2  
審査請求 未請求

(全 4 頁)

⑮ 粉粒体の流量測定方法及び装置

住友金属工業株式会社中央技術  
研究所内

⑯ 特 願 昭57—35546

⑰ 発 明 者 石津久嗣

⑱ 出 願 昭57(1982)3月5日

尼崎市西長洲本通1丁目3番地

⑲ 発 明 者 宮原俊二

住友金属工業株式会社中央技術

研究所内  
研究所内

⑳ 出 願 人 住友金属工業株式会社

大阪市東区北浜5丁目15番地

㉑ 発 明 者 小林純夫

㉒ 代 理 人 弁理士 河野登夫

尼崎市西長洲本通1丁目3番地

明 細 書

1. 発明の名称 粉粒体の流量測定方法及び装置
2. 特許請求の範囲

1. 管内を気送される粉粒体の流量を測定する方法において、前配管の適宜位置に設けたマイクロ波共振器にマイクロ波を印加してその共振周波数を測定し、この測定値に基づいて粉粒体流の密度を求める一方、前配管の適宜位置に設けたベンチュリ管により生ずる差圧を測定し、この測定値と前配粉粒体流の密度とに基づいて粉粒体の流量を求めることを特徴とする粉粒体の流量測定方法。

2. 管内を気送される粉粒体の流量を測定する装置において、

前配管の適宜位置に設けたマイクロ波共振器と、該マイクロ波共振器に印加すべきマイクロ波を発生する手段と、このマイクロ波を変調する手段と、前配マイクロ波共振器の共振周波数を検出する手段と、検出した共振周

る手段とからなる密度検出手段、

及び前配管の適宜位置に設けたベンチュリ管と、それにより生ずる差圧を測定する手段とからなる差圧検出手段を備え、

前配密度に関する情報と前配差圧の測定値とに基づいて粉粒体の流量を算出すべく構成したことを特徴とする粉粒体の流量測定装置。

3. 発明の詳細な説明

本発明は管内を気送される粉粒体の流量を測定する方法及びその実施に使用する装置に関する。

微粉炭、穀物等の粉粒体の高速、多量の輸送方式としては被輸送物を気流と共に管内に送り込む気送方式が採られる。このような方式で搬送される粉粒体の流量を高精度に測定する方法は未だ確立されていない。

本発明は所かる事情に鑑みてなされたものであり、ベンチュリ形式の固定二相流量計を用いた測定方法とマイクロ波の共振を利用した測定方法とを組み合わせることにより高い測定精度を有する

置を提供することを目的とする。

本発明に係る粉粒体の流量測定方法は、管内を気送される粉粒体の流量を測定する方法において、前配管の適宜位置に設けたマイクロ波共振器にマイクロ波を印加してその共振周波数を測定し、この測定値に基づいて粉粒体流の密度を求める一方、前配管の適宜位置に設けたベンチュリ管により生ずる差圧を測定し、この測定値と前記粉粒体流の密度とに基づいて粉粒体の流量を求めることを特徴としている。

以下本発明方法をその実施に使用する装置の1例を示す図面に基いて具体的に説明する。第1図は本発明方法の実施に使用する装置を示す模式図であり、第2図はその要部である共振器の部分を、気送方向(図の矢符方向)と一致する方向からみた模式的断面図である。

図において1は微粉炭を気送するための輸送管であるが、本発明方法による測定のために共振器2を設ける部分のみは他の部分より内径が若干大きい短尺の鋼管11にて構成してある。この鋼管

換器33の出力は約1 kHz 鋸歯状波となる。この鋸歯状波は電圧制御発振器34へコントロール電圧として与えられる。電圧制御発振器34は入力されるコントロール電圧の変化に応じて $f_1 \sim f_2$ の範囲で周波数が増減するマイクロ波を出力する。つまり電圧制御発振器34は約1msecの周期で周波数が $f_1 \sim f_2$ の間で変化するマイクロ波を出力する。なお $f_1 \sim f_2$ の値としては、管寸法によっても異なるが管外径が50 mm程度で8.0 GHz程度が適当である。このようにして電圧制御発振器34から出力されたマイクロ波はアッテニユエータ35にて適宜レベルにまで減衰され、同軸導体27により前記コネクタ25を介して導体23へ伝えられる。

斯くしてマイクロ波が導体23へ印加されるとマイクロ波は管内を通つて導体24へ伝えられるが、特定周波数において共振現象を起こし、その共振現象は導体24からコネクタ26を介して同軸導体28により検出器41へ伝えられ、該検出

器41の内側には、その外径が鋼管11の内径と等しく、その内径が輸送管1の内径と等しく、その全長が鋼管11の全長と等しい、テフロン(商品名)よりなる誘電体管22が嵌入されており、該誘電体管22の中央には細い金属棒からなる2つの導体23、24がその端末を管内側へ向けて相対向するように取り付けられている。該導体23、24はコネクタ25、26を形成するレセプタクル25a、26aの内部導体となつている。該レセプタクル25a、26aは鋼管11に開設された孔に契合させて取り付けられている。コネクタ25、26のプラグ25b、26bには後述するアッテニユエータ35、検出器41と夫々連なる同軸導体27、28の先端が連結されており、夫々レセプタクル25a、26aと螺合している。

31は1 MHzの発振器であつて10ビットのカウンタ32に対してその発振信号を与える。カウンタ32の計数値出力はD/A変換器33へ与えられてアナログデータに変換される。カウンタ32は $0 \sim 2^{10} - 1$ の範囲の計数を繰り返すのでD/A変

次に導体24からコネクタ26を介して入力される信号の処理回路について説明する。その信号はクリスタルダイオード等よりなる検出器41へ与えられる。検出器41の出力は単安定マルチバイブレータ(以下単安定マルチという)42に与えられており、この単安定マルチ42は検出器41の出力が所定レベルよりも高くなつた場合にトリガされてパルスを発し、このパルスをラッチ回路43へ与える。ラッチ回路43はカウンタ32の計数値出力が与えられており、上記パルス信号が入力されるとこの入力タイミングでその計数内容をラッチする。カウンタ32の計数値出力は同期信号作成回路44にも与えられている。この回路44は鋸歯状波の1周期に1発の同期パルス信号を発するものであり、この実施例では鋸歯状波の立下りタイミングと略同期するパルス信号が得られるように、カウンタ32の10ビットの出力が繰て「1」になつたときにパルス出力を発する論理回路を用いて構成してある。この同期パルス信

て与えられる。ラッチ回路45にはラッチ回路43のラッチ内容が常に入力されるようにしてある。ラッチ回路45のラッチ内容はD/A変換器46へ与えられてここでアナログ信号に変換され、該アナログ信号はリニアライザ47へ与えられ、ここで微粉炭流の密度 $\rho_c$ を表す信号に変換され、演算器5, 6へ出力されていく。

然して前述したように電圧制御発振器34からは1msec周期で周波数 $f_1 \sim f_2$ を繰り返して変化するマイクロ波が出力され、これが共振器2へ与えられる。この共振器2の共振周波数は夫々の寸法形状、誘電体層の材質等固有の要因によつて定まる外、導体23, 24の管内側端末の近傍を通過する微粉炭流の密度にも支配される。これは導体と接地電位となる管11との間の回路定数が上記密度によつて変化するからである。

然るところ共振器2には $f_1 \sim f_2$ 間で周波数が反復変化するマイクロ波が与えられているのでこのマイクロ波の周波数が共振周波数になるタイミングで検出器41の入力、出力はピークとなり、こ

れによつて単安定マルチ42はトリガされ、その出力パルスでカウンタ32の計数値出力をラッチする。このようにしてラッチされるカウンタ計数値は、 $f_1 \sim f_2$ の周波数の変更をカウンタ32の計数値出力に同期して行わせているので共振周波数を表す内容になつている。そしてラッチ回路43のラッチ内容は同期信号作成回路44の出力によつて、鋸歯状波の1周期又は電圧制御発振器34の出力周波数の変化の1周期に1回の割合でラッチ回路45にラッチされ、そのラッチ内容がD/A変換器46にてアナログ信号に変換される。このアナログ信号は上記共振器2の共振周波数を表す内容になつており、この共振周波数は微粉炭流の密度に依つて定まるのであるが、前者と後者との対応関係を線型にすべくリニアライザ47が設けられており、結局リニアライザ47の出力は微粉炭流の密度 $\rho_c$ を表す信号内容となり、この出力信号は演算器5, 6へ与えられる。

一方前記輸送管1の適宜位置にはベンチュリ管7が設けられており、該ベンチュリ管7により生

ずる差圧 $\Delta P$ を差圧測定回路8にて測定するようになつており、該回路8はその測定値に関する信号を演算器5へ与える。

然るところ上記差圧 $\Delta P$ は下記(1)式にて与えられる。

$$\Delta P = (1 + c_1 m) c_2 \rho_g v_g^2 \quad \dots (1)$$

$$\text{但し } m = \frac{\rho_c v_c}{\rho_g v_g} = \frac{\rho_c}{\rho_g} \phi$$

$c_1, c_2$ : 定数

$\rho_g, \rho_c$ : 気体、微粉炭流の密度

$v_g, v_c$ : 気体、微粉炭の流速

$\phi$ : 速度比

上記(1)式を変形すると下記(2)式が成立するが、速度比 $\phi$ は搬送気体の速度が10m/秒以上である場合には微粉炭の粒径によつて定まる略一定の値(0.8~0.9)となり、また気体密度 $\rho_g$ は気体の温度、圧力によつて定まるので、微粉炭の流速 $v_c$ は差圧 $\Delta P$ 及び微粉炭流の密度 $\rho_c$ を用いることにより求めることができる。

$$v_c = \sqrt{\frac{\Delta P}{\rho_c}} \cdot \phi \quad \dots (2)$$

更に微粉炭の流量 $V_c$ は上述の如く求められた微粉炭の流速 $v_c$ 及び微粉炭流の密度 $\rho_c$ を用いて下記(3)式にて求めることができる。

$$V_c = K v_c \rho_c \quad \dots (3)$$

但し  $K$ : 管断面積等により定まる定数

然して演算器5においては差圧測定回路8より与えられる差圧 $\Delta P$ とリニアライザ47により与えられる微粉炭流の密度 $\rho_c$ に関する信号を用いて上記(2)式による演算を行い、微粉炭の流速 $v_c$ を求め、その結果に関する信号を演算器6へ与える。該演算器6はその信号とリニアライザ47により与えられる微粉炭流の密度 $\rho_c$ に関する信号とに基づいて上記(3)式により演算を行い、微粉炭の流量 $V_c$ を求めるようになつている。

上述の如く構成された装置を用いて微粉炭等の粉粒体の流量を測定する場合は、ベンチュリ形式の流量計を用いた測定方法とマイクロ波の共振を利用した測定方法とを組み合わせる夫々の利点を活かすこととなるので、高い測定精度を有する粉粒体の流量測定方法が可能となる。

次に本発明方法の効果を確認すべく、200メッシュにて篩下げたものを80%含む微粉炭を8.0～8.0トン/時通流させた場合(気体流量:8.0～10.0Nm<sup>3</sup>/分)に、2.8～8.0GHzのマイクロ波を用いて本発明方法を実施した結果、その測定精度は±5%であつた。これはこの種の固気二相流体の流量測定精度としては十分高い値であり、また長期に亘つて安定してこの精度を維持し得ることも分かつた。

以上詳述した如く本発明は、管内を気送される粉粒体の流量を測定する方法において、ベンチュリ形式の固気二相流量計を用いる方法とマイクロ波の共振を利用する方法とを組み合わせ、夫々の利点を活かすこととしているので、高い測定精度を有する粉粒体の流量測定方法を可能とする。

従つて本発明は微粉炭、穀物等の粉粒体を気送する場合において粉粒体の流量を制御するときに有力な手段を提供するものである。

#### 4 図面の簡単な説明

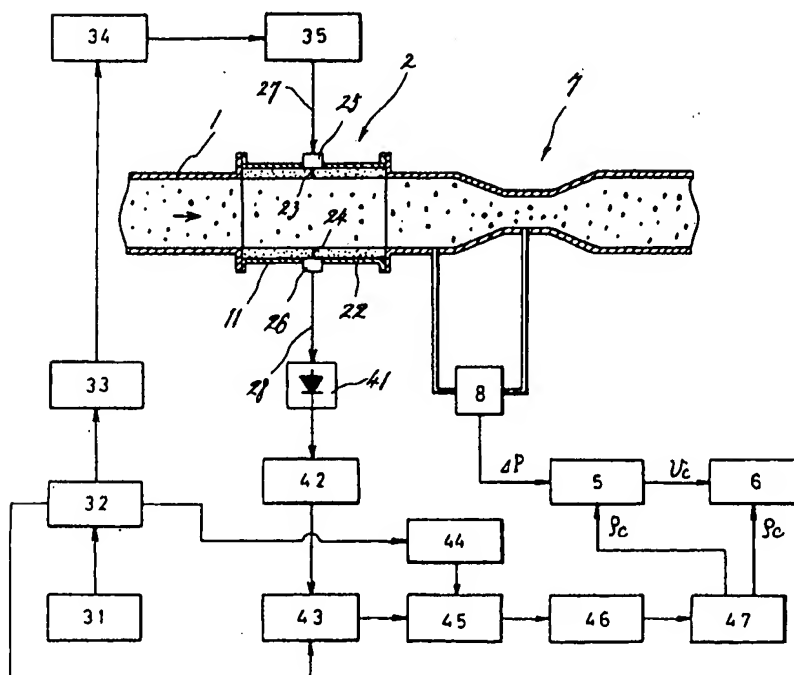
第1図は本発明方法の実施に使用する装置を示

す模式図、第2図はその要部を示す模式的断面図である。

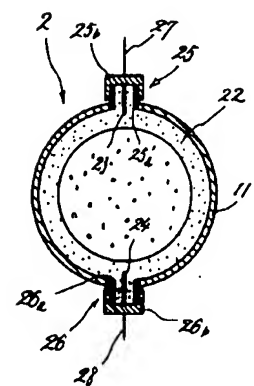
1…輸送管 2…共振器 23, 24…導体 31…発振器 32…カウンタ 34…電圧制御発振器 41…検出器 43, 45…ランチ回路 47…リニアライザ 5, 6…演算器 7…ベンチュリ管 8…差圧測定回路

特許出願人 住友金属工業株式会社

代理人 弁理士 河野 登 夫



第 1 図



第 2 図